

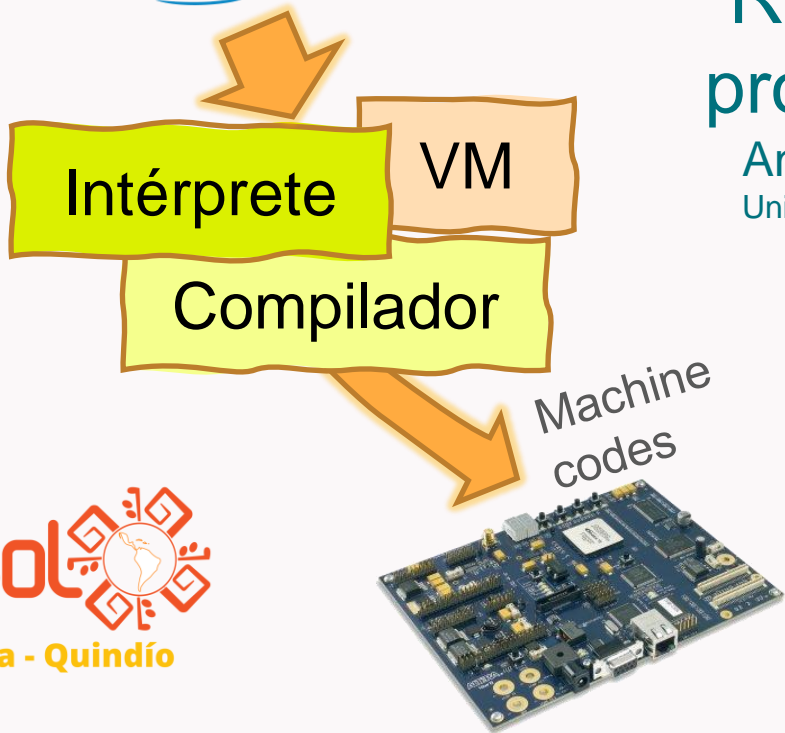
RISC-V: Una alternativa open-hardware para los sistemas programables de próxima generación

Jorge Iván Marín H., Ph.D
Universidad del Quindío



Armenia - Quindío
COLOMBIA

Abril 22 - 2023



“RISC-V is the Linux of the processor architecture world”

Andrew A. Chien

University of Chicago/Editor-in-Chief Communications of the ACM

Contenido

- ¿Qué es RISC-V?
- Evolución del mercado de los procesadores
- Características de la arquitectura
- Implementaciones prácticas
- Comunidad RISC-V
- ¿Cómo comenzar?

¿Qué es RISC-V?

- Organización internacional sin ánimo de lucro:
 - Mantiene IP del RISC-V *Instruction Set Architecture (ISA)*
- Iniciativa estándar open-hardware para microprocesadores:
 - Escalable, flexible, configurable
- Open ISA:
 - no es “open source” como el software
 - no está hecho de código fuente
 - es una “especificación” bajo licencia Creative Commons

¿Qué es ISA?

Arquitectura del computador

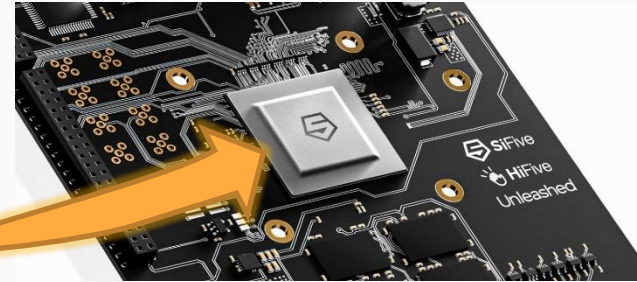
Instrucciones

Tipos de datos

Registros

Modelo de E/S

Modelo de memoria



Evolución Procesadores RISC

1984
Primer Mac
Motorola 68000 (CISC)



arm

ARM1 (licenciado)
1985



1994
Power PC
(RISC)

 **MICROCHIP**
Microcontroladores
RISC
1990

2006
Intel Core Duo
(RISC)

 **ATMEL**
CPU AVR
2006
 **Qualcomm**
Snapdragon
2007

2020
ARM-based
processor
(RISC)



Procesadores open-hardware

- 2000 – OpenRISC: cores de 32 y 64 bits (LGPL)
- 2005 – OpenSPARC: Sun Microsystems libera SPARC (GPL)
- **2010 – RISC-V: UC Berkeley - Parallel Computing Lab**
- 2018 – RISC-V Foundation se vincula al Linux Foundation
- 2019 – MIPS cierra programa piloto “open use”

5ta RISC ISA diseñada en UC Berkeley
V significa “variaciones” y “vectores”

Miembros iniciativa RISC-V

Google



HUAWEI



SiFive



SEAGATE

Qualcomm



AMD
XILINX



IBM

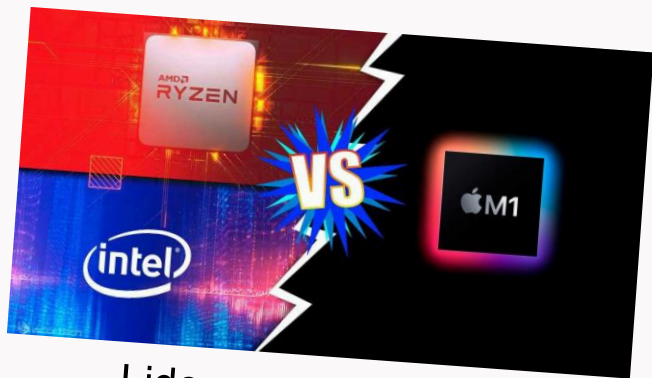


y más...

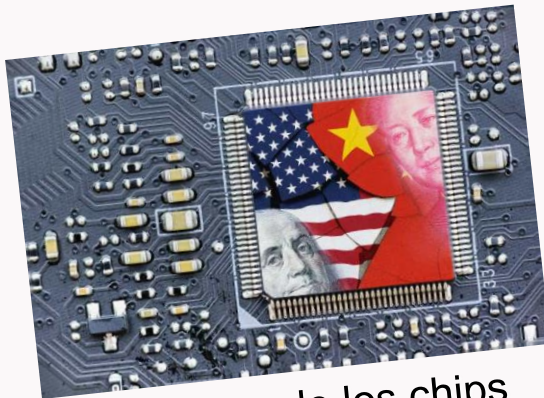


<https://riscv.org/members/>

Era oscura para los microprocesadores...



Liderazgo del mercado



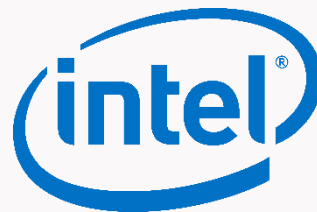
Guerra de los chips



ARM demanda Qualcomm (Sep.2022)



Google quiere que dispositivos Android usen RISC-V (Ene.2023)



Termina acuerdo con RISC-V (Ene.2023)



Intel firma contrato con arm (Abril 2023)

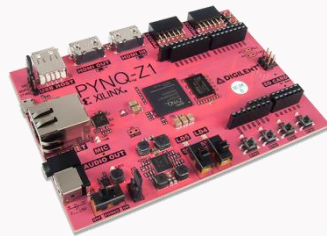
...oportunidad para RISC-V

- No requiere pago de licencias para construir un microprocesador
- Favorece estandarización del hardware y microprocesadores:
 - Clave por auge de sistemas embebidos, 5G, IoT y AI
- Ofrece diferentes modelos de negocio



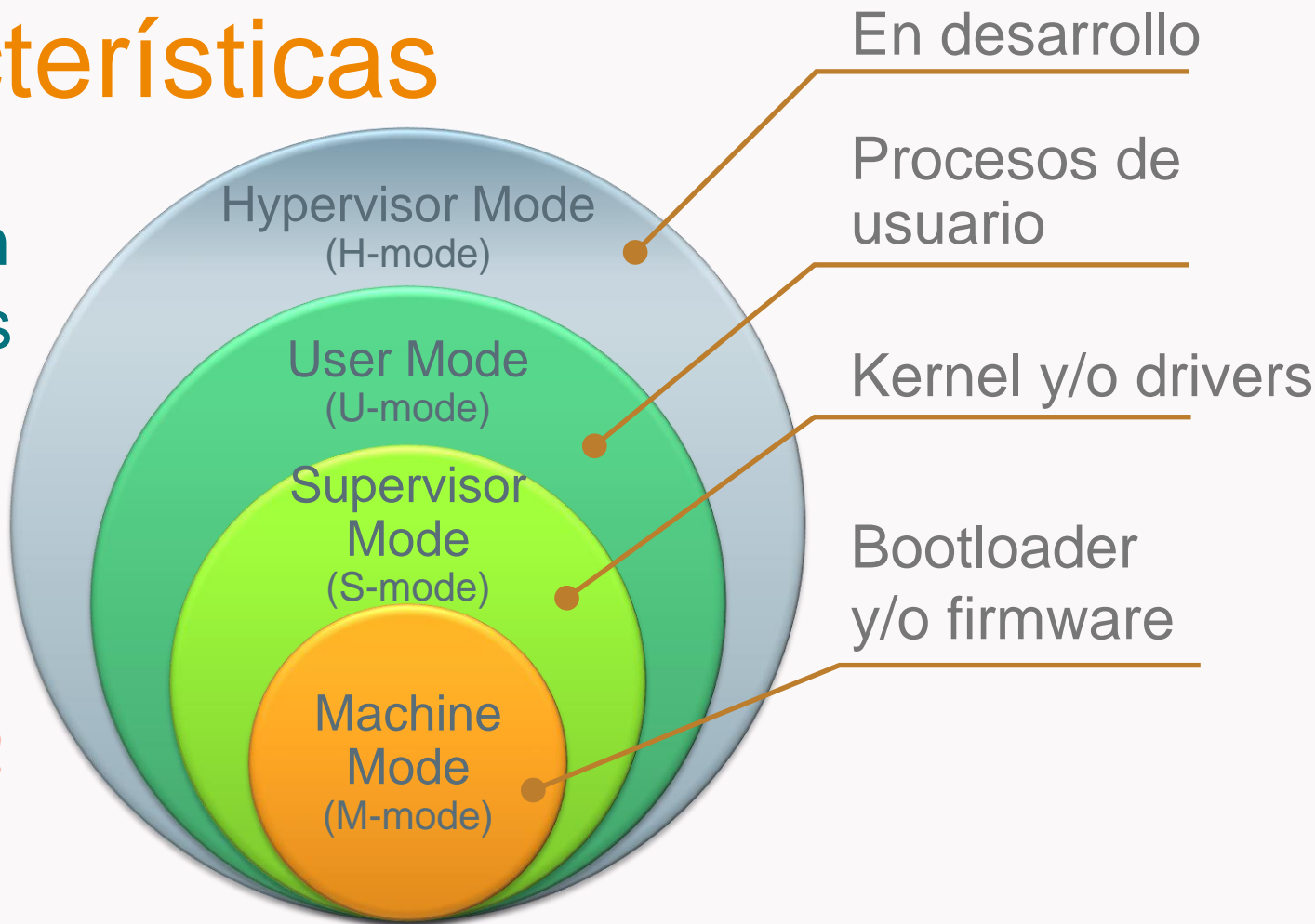
Ventajas

- Arquitectura flexible y modular
- ISA simple y eficiente de implementar en FPGAs
- Características que reducen consumo de potencia
- Experimentación en nuevos diseños de chips
- ISA con niveles de privilegio para sistemas seguros
- Reducción de vulnerabilidades hardware

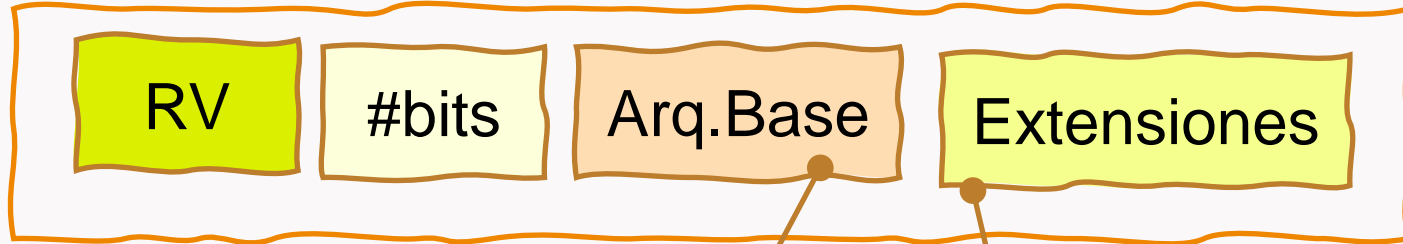


Características

Modo con privilegios



Características



I Conjunto de instrucciones base aritmética entera

E Conjunto base embebido

M Multiplicación/división entera

A Atómicas

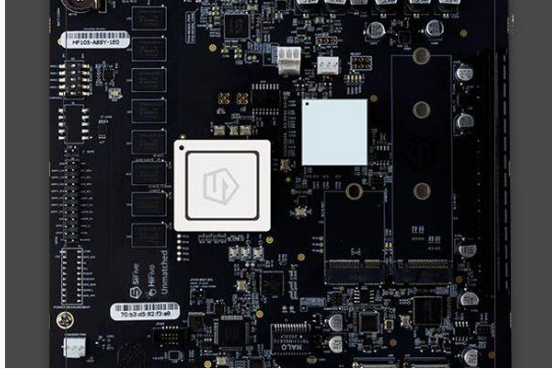
F Flotante (prec. simple)

D Flotante (prec. doble)

C Comprimida

B Manipulación bits

Implementaciones prácticas



SiFive HiFive Unmatched

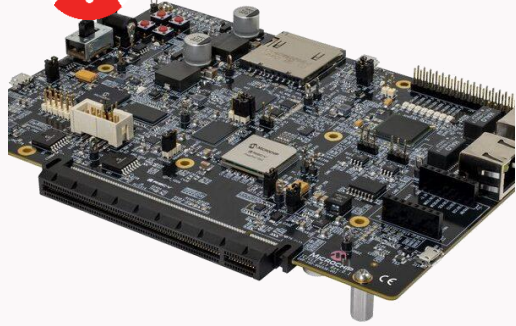
- SoC: SiFive Freedom U740 SoC
- Memory: 16GB DDR4
- Flash Memory: 32MB Quad SPI Flash
- Removable Storage: MicroSD Card
- Networking: Gigabit Ethernet Port



LoFive RISC-V SoC

- SiFive E31 core complex up to 320 MHz
- RV32IMAC
- 8 kB OTP program memory
- 16 kB instruction cache
- 16 kB data SRAM

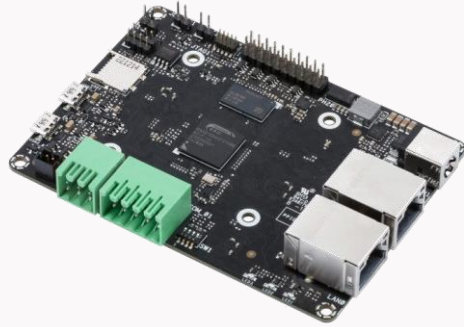
Implementaciones prácticas



PolarFire SoC Icicle Kit

- SiFive E51 Monitor core (1 x RV64IMAC)
- SiFive U54 Application cores (4 x RV64GC)
- 2 GB LPDDR4 x 32
- 1 Gb SPI flash
- 8 GB eMMC flash & SD card slot

<https://riscv.org/exchanges/boards/>



ASUS TinkerV (Mar.2023)

<https://www.muycomputer.com/2023/03/15/asus-tinker-v-una-sbc-con-chip-risc-v/>



Alibaba Laptop (Oct. 2022)

<https://www.tomshardware.com/news/risc-v-laptop-world-first>

Comunidad RISC-V

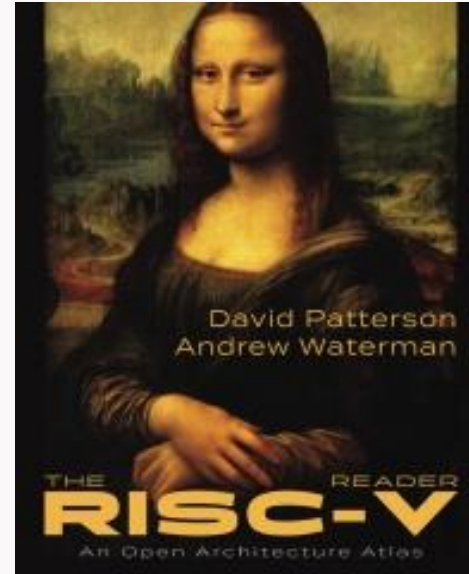
- Membresías:
 - Organizaciones:
 - Premier
 - Strategic
 - Community: Academia/Gratis
 - Individuales:
 - Gratis
 - Inscripción con correo personal/no institucional



¿Cómo iniciar?

- Recursos de estudio:

<https://riscv.org/learn/>



<http://www.riscvbook.com/>

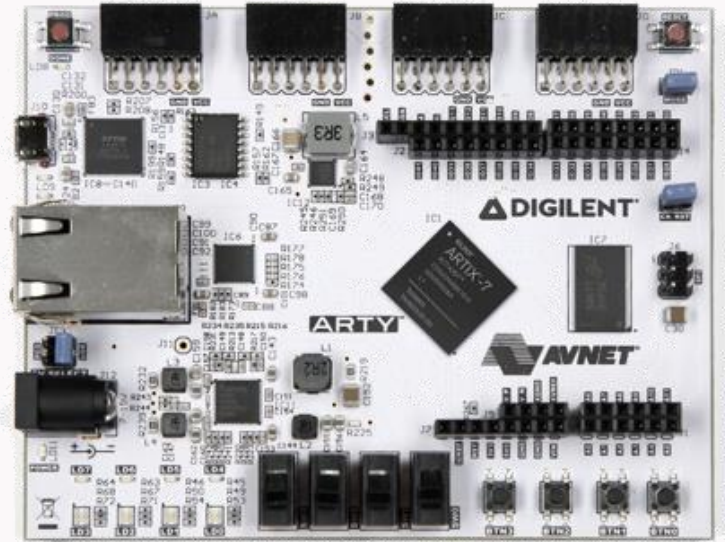
Arquitectura ISA (Versión en español)

Opensource cores

- **PicoRV32:** <https://github.com/YosysHQ/picorv32>
 - RISC-V optimizada en tamaño (Verilog)
 - Configurable como RV32E, RV32I, RV32IC, RV32IM, RV32IMC
- **PULP Platform:** <https://www.pulp-platform.org/>
 - 32/64bit, single core/multicore, I2C, SPI, GPIO, etc.

Pre-built cores & toolchains

- SiFive Freedom E300 Arty FPGA Dev Kit:
 - Implementa RISC-V sobre Xilinx Arty A7-35T
 - <https://github.com/sifive/freedom>
 - Funciona sobre Arduino IDE



Pre-built cores & toolchains

- FPGArduino:
 - <http://www.nxlab.fer.hr/fpgarduino/>
 - Múltiples tarjetas FPGA
 - Funciona sobre Arduino IDE

		
Terasic DE0-Nano (Altera Cyclone-IV)	Xilinx Spartan 3E-500 Starter Kit	Xilinx Spartan 3E-1600 Dev. Board
		
Digilent Nexys-3 (Xilinx Spartan-6)	Digilent ZYBO (Xilinx Zyng)	FER ULX2S (Lattice XP2)

Toolchains

- Toolchain:
 - <https://github.com/riscv-collab/riscv-gnu-toolchain>
- Pre-built toolchains:
 - Linux: <https://github.com/stnolting/riscv-gcc-prebuilt>
 - Windows: <https://gnutoolchains.com/risc-v/>

Más información

- RISC-V Wiki:
 - <https://wiki.riscv.org/>
- RISC-V Ecosystem:
 - <https://github.com/riscvarchive/riscv-software-list>
- QEMU:
 - <https://wiki.qemu.org/Documentation/Platforms/RISCV>

Jorge Iván Marín H.
jorgemarin@uniquindio.edu.co

GRACIAS!



Armenia - Quindío
COLOMBIA

Abril 22 - 2023

